

PATENT ABSTRACTS OF JAPAN

E6104-01

(11)Publication number : 2000-004359
(43)Date of publication of application : 07.01.2000

(51)Int.Cl.

H04N 1/405
B41J 2/52
B41J 2/44

(21)Application number : 10-252176
(22)Date of filing : 07.09.1998

(71)Applicant : HITACHI LTD
(72)Inventor : SHIBUYA TAKESHI
OKADA TADASHI
KANDA MASAYUKI
INUZUKA TATSUKI
NAKAMURA TOSHIAKI
ONOSE ATSUSHI
YOSHINO EIJI

(30)Priority

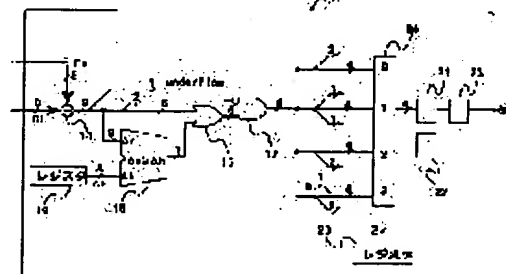
Priority number : 09242397 Priority date : 08.09.1997 Priority country : JP
10107341 17.04.1998 JP

(54) DISTRIBUTED PWN GRADATION PROCESSOR AND PRINTER

(57)Abstract:

PROBLEM TO BE SOLVED: To quickly realize gradation processing of high density and high gradation by realizing dot dither, which forms plural dots in one threshold pattern and multi-leveling due to PWM(laser pulse width modulation) which distributes gradation among plural dots.

SOLUTION: A difference value $\Delta n = n_i - n_c$ between an input gradation value n_i and a threshold n_c is reduced into the range of 0 to Δh , and low-order (s) bit of Δh is eliminated through round-off or round-up processing. On the other hand, a threshold array is produced from an expansion threshold pattern, which is obtained by combining threshold patterns $\Delta h \times K$, $\Delta h \times K+1$, ..., $\Delta h \times K+2^s(s-1)$, whose threshold interval is a power (2^s) number of Δh .



LEGAL STATUS

[Date of request for examination] 13.02.2001
[Date of sending the examiner's decision of rejection]
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
[Date of final disposal for application]
[Patent number]
[Date of registration]
[Number of appeal against examiner's decision of rejection]
[Date of requesting appeal against examiner's decision of rejection]
[Date of extinction of right]

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-4359

(P2000-4359A)

(43) 公開日 平成12年1月7日(2000.1.7)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード(参考)
H 0 4 N 1/405		H 0 4 N 1/40	B 2 C 2 6 2
B 4 1 J 2/52		B 4 1 J 3/00	A 2 C 3 6 2
2/44			M 5 C 0 7 7

審査請求 未請求 請求項の数11 O L (全 13 頁)

(21) 出願番号 特願平10-252176

(22) 出願日 平成10年9月7日(1998.9.7)

(31) 優先権主張番号 特願平9-242397

(32) 優先日 平成9年9月8日(1997.9.8)

(33) 優先権主張国 日本 (J P)

(31) 優先権主張番号 特願平10-107341

(32) 優先日 平成10年4月17日(1998.4.17)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 渋谷 竹志

茨城県土浦市神立町502番地 株式会社日立製作所機械研究所内

(72) 発明者 岡田 正

神奈川県海老名市下今泉810番地 株式会社日立製作所P C事業部内

(74) 代理人 100068504

弁理士 小川 勝男

最終頁に続く

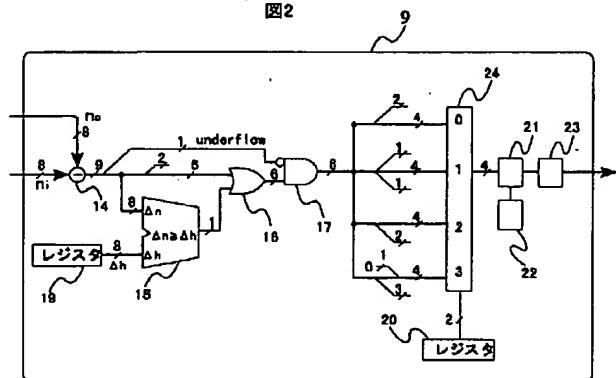
(54) 【発明の名称】 分散PWM階調処理装置及びプリンタ

(57) 【要約】

【課題】 画像処理装置において、1つの閾値パターン内で複数の網点を形成する網点ディザと、この複数の網点間で階調を分散するPWMによる多値化を、小規模のメモリと回路で実現することにより、高速で高密度・高階調の階調処理を実現する

【解決手段】 入力階調値 n_i と閾値 n_c の差分値 $\Delta n = n_i - n_c$ を $0 \sim \Delta h$ の範囲内に切り詰め、 Δh の下位 s bitを切り捨て或いは切り上げ処理により除く。一方で、閾値間隔が Δh の2の s 乗(2^s)個の閾値パターン $\Delta h \times K$ 、 $\Delta h \times K + 1$ 、 \dots 、 $\Delta h \times K + 2^{s-1}$ を組み合わせ得られる拡張閾値パターンから閾値配列を生成する。

図2



【特許請求の範囲】

【請求項1】レーザパルス幅変調(PWM)により階調制御を行うPWM発生回路と、閾値 n_c を保存する閾値テーブルとを備え、 t bit ($t \geq 8$) の入力階調値 n_i をこの入力階調値 n_i と前記閾値 n_c との差分値 $\Delta n = n_i - n_c$ によりPWM階調値に変換する階調処理装置において、前記差分値の上限値となる閾値間隔 Δh を収めたレジスタを備え、 $0 \leq \Delta n \leq \Delta h$ の場合に前記差分値 Δn の下位 s ($0 < s < 4$) bitを切り捨てた値、或いは下位 s bitを残りの上位($t - s$) bitに切り上げた値をPWM階調値とする階調処理装置。

【請求項2】前記PWM階調値をさらに変換する参照テーブルを備えた請求項1に記載の階調処理装置。

【請求項3】閾値配列を備え、一画素8 bit (=256段階)の入力画素の階調値 n_i を、前記閾値配列の閾値 n_c との逐次比較により、より少ないbit幅で表現可能な出力階調値に変換する階調処理装置において、前記出力階調値は、適当な定数 n_0 と $s = 1, 2, 3, 4$ のいずれかの値に対して、 $(n_i - n_c + n_0)$ の下位 s bitとは無関係に定まる階調処理装置。

【請求項4】閾値配列を備え、一画素8 bit (=256段階)の入力画素の階調値 n_i を、前記閾値配列の閾値 n_c との逐次比較により、出力最小画素に対して、多段階の出力階調値制御を行うプリンタであって、前記出力階調値は、適当な定数 n_0 と $s = 1, 2, 3, 4$ のいずれかの値に対して、 $(n_i - n_c + n_0)$ の下位 s bitとは無関係に定まるプリンタ。

【請求項5】入力階調増加に対する出力画像は、2の s 乗個の網点間で巡回的に階調増加する網点格子である請求項4記載のプリンタ。

【請求項6】少なくとも2色以上の多色印刷を色面毎に行う請求項4記載のプリンタであって、前記閾値配列及び s の値は、各色面毎に変更可能であるプリンタ。

【請求項7】レーザパルス幅変調(PWM)により多段階の階調制御を行うPWM発生回路と、入力画素の階調値と閾値とを比較する比較手段と、前記閾値を保存する閾値テーブルとを備え、前記比較手段により前記入力画素の階調値を出力画素のPWM階調値に変換する階調処理装置であって、前記PWM回路は、前記入力画素の階調値の特定bitと前記閾値の特定bitとの比較結果によりPWMの階調値に対してディザを加える階調処理装置。

【請求項8】上位 $P1$ bit、中位 $P2$ bit及び下位 $P3$ bitに分割された前記入力画素の階調値の上位 $P1$ bitの値と上位 $P4$ bit及び下位 $P5$ bitに分割された前記閾値の上位 $P4$ bitとが等しい場合に前記 $P2$ bitの値によりPWMの中間的な階調値として選択する手段と、前記入力画素の階調値の下位 $P3$ bitと前記閾値の下位 $P5$ bitと比較し前記PWMの中間的な階調値に対するディザの加え方を決定する手段とを備

えた請求項7記載の階調処理装置。

【請求項9】前記各bitのbit数は、 $P1 = P4 = 4$, $P2 = 2$, $P3 = P5 = 2$ 、または $P1 = P4 = 4$, $P2 = 3$, $P3 = P5 = 1$ 、或いは $P1 + P2 + P3 = 8$, $P4 = P1$, $P5 = P3$ の関係を保って可変である請求項8記載の階調処理装置。

【請求項10】レーザパルス幅変調(PWM)により階調制御を行うPWM回路と、入力画素の値と閾値とを比較する比較手段と、前記閾値を保存する閾値配列と、前記比較手段により入力画素の階調値を出力画素の階調値に変換する手段とを備えた階調処理装置であって、前記比較手段は、第一グループ、第二グループ及び第三グループに分割された前記入力画素の階調値における第三グループの値と、第四グループ及び第五グループに分割された前記閾値における第五グループの値とを比較し、この比較結果に基づき前記第二グループの値を変化させてPWMによる中間濃度出力レベルを決定する手段とを備えた階調処理装置。

【請求項11】レーザパルス幅の変調(PWM)により階調制御を行うPWM回路を備えたレーザプリンタであって、一様入力に対する前記PWMによる出力画素の階調値は、入力画素の階調値の下位2 bit或いは下位1 bitの値の増加に対応して4画素或いは2画素間で順次巡回しながら増加するレーザプリンタ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、プリンタ、ファックスなどの様に、画像を点(画素)の集合として印画する画像出力装置に関する。特に、レーザパルス幅変調(Pulse Width Modulation: PWM)と複数の画素の組み合わせにより連続階調を表現するための画像処理を行う装置のための発明である。

【0002】

【従来の技術】従来、デジタルプリンタ等に用いられる1画素2階調(2値)のラスター・デバイスには、ディザ法や誤差拡散法として知られる中間階調表現手段により、疑似的に中間階調を補う手法が多く用いられてきた。

【0003】特にディザ法では、特開昭61-125264号公報の第3b図に示されているような閾値パターンによるドット集中型ディザ法と呼ばれる階調処理法がよく用いられてきた。この方法は、複数のドット配列を用いて入力階調に応じて直径の変化する網点を模擬するものである。そしてこの方法は、階調処理によって再現画像に混入するノイズが目につかない利点を持つ。さらにこの方法は、特開昭61-125264号公報の第17a図に示されているように、一つの閾値パターンを複数のクラスターで構成し、各クラスターで順次拡大する複数の網点を模擬する方法、いわゆるサブマトリックス法を併用することにより、網点の密度と階調数を両立させることもある程度可能となる。

【0004】同様の階調処理は、特公平6-85558号公報

の第21図(B)にも見られる。特に特公平6-85558号公報は、さらに1画素の出力をPWMとよばれる出力レーザのパルス幅変調により3値化している。そしてこの処理方法では、第21図(B)に対応するもう一組の閾値配列である第21図(A)を併用することで、3値の出力レベルを決定する方式をとっている。

【0005】

【発明が解決しようとする課題】これらの方式は、階調数と分解能を両立するための工夫であるが600dpi(dot per inch)相当のレーザプリンタでは必ずしもまだ十分な特性とはいえない。グラフィカ印刷程度の画像再現には、網点密度にして175lpi、階調数は256階調が必要とされ

$$G_n = 1010 (\exp(-0.138f)) (1 - \exp(-0.1f)) + 1 \cdots (1)$$

によりモデル化される。

【0008】この式に基づいて、識別可能階調数の視覚特性をプリンタの解像度に対応して示した図を図21に示す。実線は、この(1)式による空間周波数に対する識別可能階調数である。また、破線はn値の600dpiのプリンタで可能な階調数を示す。ただし、図21では、空間周波数を各30cmの及び40cm観察距離での網点線数に換算して表示している。30cmの観察距離では、1(cycle/degree)は約10(lpi)に相当する。

【0009】図21で破線が実線を上回る部分は、その空間周波数に対して十分な階調性が得られることを表している。従って、この図によると、600dpiのプリンタで、十分に滑らかな階調性を得るためには、少なくとも1つのドットを5値化ないし9値化する必要があることが分かる。

【0010】一方で600dpiのプリンタで175lpi以上の網点を形成するには、1つの網点を3×3以下のドットの組により構成する必要を生じる。この場合の階調数は9値のプリンタであっても3×3×9+1=82階調となり低周波域の階調数が不足する。故に、十分な階調性を得ることは、クラスタリング手法(サブマトリックス法)のみでは不可能である。また、PWMのみで階調性を得ようとしてPWM分割数をあまり多くすることは、同じ印画速度に対してより高周波の制御回路が要求されるため、高速化、或いは実装コスト上の障害となる。

【0011】このため、前出の特開昭61-125264号公報に見られるようなクラスタリング手法とPWMとを併用する必要が生じる。

【0012】また、特公平6-85558号公報のような、ドットの濃度の1/3、2/3の濃度レベルそれぞれに対応して閾値配列を設ける手法で9値化する場合には、閾値配列と比較回路が大きくなる問題を生じる。

【0013】このような手法による回路構成規模や必要メモリの増大は、単純にコストアップにつながるばかりでなく、処理を専用LSI(ASIC)化する場合などの開発負担の増大につながる。

【0014】本発明の目的は、少ないメモリと簡易な処

理。ここで、単位lpiは、「線数」と呼ばれる1インチ当たりの網点密度のこと(lines per inch)である。lpiは、プリンタエンジンそのものの解像度dpiと区別される。

【0006】600dpiの2値程度のプリンタでは、これ程の階調密度の網点形成は不可能である。しかし、視覚が識別可能な階調数は、空間周波数に依存しており、高周波成分にそれ程の階調数が必要とされるわけではない。

【0007】Roetlingの"Visual performance and image coding(SPIE/OSA(1976))"によると、空間周波数f(cycles/degree)に対する識別可能な階調数Gnは、

理回路により、ASIC内に実現容易な網点のクラスタリングとPWMが両立可能な階調処理回路を提供することにより、低コストに高速高画質な階調処理を実現することにある。

【0015】

【課題を解決するための手段】上記問題を解決するために、入力階調値及び閾値の下位ビットの値に基づいて、複数のドット間で分散的にPWMレベルを増加させる分散PWM回路により階調処理装置を構成する。

【0016】

【発明の実施の形態】本発明の実施例について図面を参照して説明する。

【0017】図1は、本発明の階調処理装置を適用した600dpiのカラーレーザプリンタにおける画像処理の流れを示している。印刷対象となる画像データ1は、1ページ分のRGBデータとして、入力バッファ2に蓄えられる。プリンタエンジン13は、YMCKの各面(各色)毎に現像を行うため、図1の入力バッファ2以降の処理は、一つのカラー画像に対してYMCKの4面分4回繰り返す。

【0018】最初に4色分解手段5は、RGB点順次データからYellowを算出するように必要に応じて内部を初期化する。これに対応して、γ補正手段7はγ補正值テーブル8からYellowに対応した補正值を内部の参照テーブルにロードする。また、ディザ回路10はYellowに対応した閾値配列及びその配列のサイズデータをテーブル11からロードし、内部を初期化する。この閾値配列は、図8の閾値配列27のような0から255以下の8bitで表現される値の配列である。

【0019】これにより入力バッファ2から送られるRGBデータは、色補正手段3による色補正、4色分解手段5によるYellowデータへの変換、γ補正手段7による階調補正を受けた後、階調処理装置9によりPWM信号12としてプリンタエンジン13に出力する。

【0020】Yellow1ページ分の処理が終了すると、4色分解手段5、γ補正手段7、ディザ回路10はそれぞれ必要なパラメータをMagenta用に再ロードして初期化し、同様の処理によりMagenta1ページ分のPWM信号12を

プリンタエンジン13に送出する。

【0021】同様にCyan, Blackに対する処理を行う。これらの各色面の切り替えは、プリンタエンジンの垂直同期信号に同期して行う。このとき、閾値配列は各色面毎に変更可能なように設定しておいてもよい。

【0022】次に、階調処理装置9の例を図2及び図3に示す。これらの例では、階調処理装置9への入力階調値（入力画素階調値）は256階調（8 bit）、またPWMによる1 dotの分割数は16個（4 bit）の17段階（0～16）としている。本実施例では入力階調値を8 bitで実現しているが他のbit数で入力しても良いことは言うまでもない。

【0023】図2のNAND回路17含む前半の処理では、まず減算回路14にて、入力信号 n_i の階調範囲とディザ閾値 n_c との差分 $\Delta n = n_i - n_c$ を求める。 $\Delta n < 0$ の場合には、減算回路14のアンダーフロー（underflow）信号により、NAND回路17からの出力を全bit 0とする。 $0 \leq \Delta n$ の場合には比較回路15にて、この Δn とレジスタ19に予め設定してある差分値の上限値となる閾値間隔 Δh との比較をする。そして $\Delta n \geq \Delta h$ の場合には、比較回路15の出力を1とし、OR回路16により入力階調値に関わらず全6 bitを1（=full）としてNAND回路17を経て出力する。そして、その他の場合（ $0 \leq \Delta n < \Delta h$ の場合）にはOR回路16への入力階調値6 bitをそのままNAND回路17から出力し、8 bitの Δn を6 bitの0～ Δh （及び全bit=1）の値に切り詰める。

【0024】NAND回路17の後段では、選択回路24により、NAND回路17の出力の6 bitの信号線から4 bit分を、 Δh によりあらかじめレジスタ20に決定しておいた値 $s = 0 \sim 3$ の値に基づいて、次のように選択する。

【0025】 $s = 0$ の場合は、上位2 bitを切り捨て下位4 bitを選択。 $s = 1$ の場合は、上位1 bitと下位1 bitを切り捨て中位4 bitを選択。 $s = 2$ の場合は、下位2 bitを切り捨て上位4 bitを選択。 $s = 3$ の場合は、下位3 bitを切り捨て上位に1 bitの0信号を付加した4 bitを選択。

【0026】この動作は、NAND回路17の6 bitの出力値を s bit右シフトし、溢れたbitを切り捨てることと等価である。そこで以下では、 s をbitシフト量と呼ぶ。この処理は、NAND回路17の出力値を2の s 乗で除して余りを切り捨てることにより、PWMの分割数に合わせたbit数とすることに相当する。この意味で図2は「切り捨て回路」である。

【0027】 Δh に応じたbitシフト量 s は、具体的には以下のように決定する。 $1 \leq \Delta h < 16 (= 2^4)$ のときは、 s は0～3の範囲で選択、 $16 \leq \Delta h < 32 (= 2^5)$ のときは、 $s = 1 \sim 3$ の範囲で選択、 $32 \leq \Delta h < 64 (= 2^6)$ のときは、 $s = 2$ 又は3とする。

【0028】これらの処理で4 bitに減段された信号をインデックスとして、PWMレベル補正回路21は、参照テーブルであるPWM変換テーブル22に予め設定された値に

従って、PWM階調値を更に変換し、最終的な実出力レベル値をPWMにより多段階の階調制御を行うPWM発生回路23に出力する。図4にPWM分割数が16で、入力階調値が0～6及び f の8段階に対する場合のPWM変換テーブル22の例を示す。

【0029】図4では、PWMによる1 dotに対するレーザパルスの分割時間の相対値に対する相対濃度60がほぼ線形となるように補正をかけている。また、後述する理由により、入力階調値6と入力階調値 f （全bit=1）とは同じ最大レベル値を対応させている。

【0030】尚、上記の説明で差分 Δn のうち、アンダーフロー信号を除いた8 bitの上位2 bitはOR回路16に入力される前に切り捨てているが、この上位2 bitの回路上の切り捨て位置は特に重要ではない。また、図2の実施例では Δh を64（6 bit）より小さい値とし、NAND回路17の出力を6 bitとしているが、もちろん6 bitの制限は本質的なものではない。例えば、NAND回路17の出力まで8 bitのままで処理をし、選択回路24を、上位4 bit切り捨て（ $s = 0$ ）、上位3 bit及び下位1 bit切り捨て（ $s = 1$ ）、上位2 bit及び下位2 bit切り捨て（ $s = 2$ ）、上位1 bit及び下位3 bit切り捨て（ $s = 3$ ）、下位4 bit切り捨て（ $s = 4$ ）の何れかを選択する回路として実装することも容易である。この場合にはbitシフト量 s が0～4の5通りあるので、レジスタ20からの選択信号であるの信号線は、3 bit必要となる。

【0031】図3に示す実施例は、図2の切り捨て処理に対して、切り上げ処理を行う点だけが異なる。図3では、選択回路24の前段に設けた加算回路18a、18b及び18cにより、 $s = 1 \sim 3$ の場合に切り捨てられる下位bitのOR値を、PWMレベル補正回路21に出力される残りの上位4 bitに加算する。これにより、図3は、選択回路24のbitシフト量 s の値に応じて、NAND回路17の出力値を2の s 乗で除し、余りを切り上げる「切り上げ回路」として動作する。

【0032】図5に以上の処理をフローチャートにて示す。処理は各色面毎のページ単位で行われる。まず、ページ処理に先立つ初期化ステップ100では、閾値間隔 Δh をレジスタ19から、bitシフト量 s をレジスタ20からそれぞれロードする。bitシフト量 s は、 Δh をPWMによる分割数である4 bitに切り詰めるのに十分な値として、 Δh に対応して予め決めておく値であるが、図5の初期化ステップ100の例に従って、 Δh から自動的に決定することもできる。また、初期化ステップ100では、PWM出力値 p を実出力レベル値 p' に変換するPWM変換テーブル22もロードする。

【0033】ステップ101では、入力画素値 n_i と閾値 n_c をロードし、ステップ102で差分 Δn を算出する。このステップ101の閾値 n_c は、図1のディザ回路10により、後で説明する図8に示すような閾値配列27或いは、簡略化閾値配列28に基づいて入力画素値 n_i と同期して逐次入力

される。

【0034】ステップ103では Δn と Δh との比較を行う。そして、PWM出力値 p を、 $\Delta n < 0$ ならば $p = 0$ 、 $\Delta n \geq \Delta h$ ならば $p = f$ (16進)、 $0 \leq \Delta n < \Delta h$ ならば $p = (\Delta n / 2^s)$ とする。(2^sは2の s 乗を表す)但し、 Δn を2^sで除した余りの処理は、図2の切り捨て回路では切り捨て、図3の切り上げ回路では切り上げとなる。

【0035】ステップ104ではPWM出力値 p をインデックスとして、PWMレベル補正回路21によりPWM変換テーブル22に従って、最終的なPWM出力レベル値 p' を得る。

【0036】最後にステップ105でPWM出力レベル p' は、PWM発生回路23によりパルス幅変調されたPWM信号としてプリンタエンジン13へと出力する。

【0037】以上の処理を、1ページ分の画素の処理が終了するまで、ステップ101との間で反復した後、次ページ或いは次色面の処理として図5の処理が最初から繰り返す。

【0038】図6は、図3の切り上げ回路による入出力の対応例を示す。図6では、 $\Delta h = 24$ 、 $s = 2$ の場合の選択回路24からのPWM出力値 p を、入力階調値 $n_i = 0 \sim 255$ を行とし、 4×10 組の閾値 $n_c = \{24k, 24k + 1, 24k + 2, 24k + 3\}$ ($k = 0, 1, 2, \dots, 9$)を列とする16進数の表として示す。このような閾値の組の配置例は、図8の閾値配列27に示す。

【0039】図6では、出力値は0を除いて、1, 2, 3, 4, 5, 6, f (full)の7段階であるが、これらの値は、図4に示したように、図3のPWMレベル補正回路21によりPWM変換テーブル22に従って均等な階調性が得られるようPWM出力レベルとして修正される。特に選択回路24の出力値の6と f (16進)とは、PWMレベル補正回路21で同じ実出力レベル値に対応させる。この場合、PWM段数(0, f を除いたPWM出力レベルの段数)は6段となっている。これにより、図6の40個の閾値の組み合わせによる論理的な出力階調数は241 ($6 \times 40 + 1$)階調となる。

【0040】図7は同様の $\Delta h = 24$ 、 $s = 2$ 及び閾値の組に対する切り捨て回路(図2)による入出力の対応例を示す。この場合、入力階調値0~4に対応する出力は全て0になるが、通常この程度のハイライト部の“飛び”は、出力画像に大きく影響しない。

【0041】必要ならば図2の n_i 入力部に定数オフセット値 $n_0 = 3$ を加算する回路を付加することにより、切り上げ回路と同等の入出力対応(図5)とすることは容易に実現できる。或いは、前段の γ 補正手段7の出力に初めから $n_0 = 3$ のオフセットを持たせることで、同等の入出力対応はさらに容易に実現できる。

【0042】逆に、図6の切り上げ回路による $\Delta n = n_i - n_c$ とPWM出力値 p の関係は、入力階調値 n_i に $n_0 = 1$ のオフセットを付加することにより、 $\Delta n + n_0 = n_i + n_0 - n_c$ の下位 $s = 2$ bitには依存しない切り捨て回路とはほぼ等

価な処理となる。

【0043】このように図2、図3の実施例では、PWM出力値 p は、差分値 Δn を適当にオフセットした値 $\Delta n + n_0$ の下位 s bitとは無関係に決定される。つまり、入力階調値と閾値の差分値に対する下位bitの切り捨て処理が、図2、図3で実装された処理の本質となっている。

【0044】図8に、これらの図2、図3に示された階調処理装置9との組み合わせでPWMの分散処理を実現する閾値配列の構成方法を示す。先の例同様、 $\Delta h = 24$ 、 $s = 2$ とする。

【0045】まず、基本閾値パターン25を K とし、 K から $K \times \Delta h$ 、 $K \times \Delta h + 1$ 、 $K \times \Delta h + 2$ 、 $K \times \Delta h + 3$ により生成される4つの閾値パターンによる拡張閾値パターン26を構成する。

【0046】次にこの拡張閾値パターン26を行・列とも周期的に閉じる矩形領域に充填することで図8の閾値配列27を得る。ディザ回路10はこの閾値配列27を周期的に繰り返し使用することで閾値 n_c を発生するが、この閾値配列27は、上2行を図中に矢印Aで示した位置(6列目)で左にシフトしながら下方に10段積み重ねた構造になる。従って閾値配列27全体の代わりに、上2行からなる簡略化閾値配列28を、プリンタエンジン13の水平同期信号に同期して入力画像の2行毎に初期の列アドレスを6列づつシフトしながら反復使用することでさらに実装上のメモリを節約することが可能である。

【0047】図9は、このような構成による閾値配列27と図3の階調処理装置9により得られるPWMの分散処理の効果を示す。拡張閾値パターン26に対して従来例のようにPWMとクラスタリングを単に組み合わせただけでPWMの分散処理を行わない場合には、 $n_i = 7$ に対する画像出力は、図9(b)の様にドットの不揃いやドット径の不揃いが強調されノイズの多い荒れた網点画像となる。これに対し、階調処理装置9によりPWMの分散処理を施した場合には、図9(a)のように4つの領域で、PWMによる中間階調が巡回的に増加する均質で滑らかな網点画像となる。

【0048】以上の説明における閾値配列27は、図8に○で示したように、一様な中間階調値に対して水平方向に対して約18.4度の角度をなす網点格子を出力する。この網点格子が水平方向に対してなす角はスクリーン角と呼ばれる。通常カラー印刷では、再現色を安定化させる目的で、各色面毎に異なるスクリーン角が使用される。

【0049】図10は、種々のスクリーン角 θ に対応する基本閾値パターン K と閾値間隔 Δh 、bitシフト量 s の例を表にまとめて示す。表中の値には、

$$\Delta h = 2^s \times (\text{PWM段数})$$

$$(\text{総階調数}) = (\text{セル数}) \times \Delta h + 1$$

の関係がある。

【0050】先にも述べたように、bitシフト量 s は設

定に自由度を持たせている。これは一般にPWMによる階調特性はプリンタエンジンによって異なるので、PWMによる階調特性が十分なプリンタエンジンに対しては s の値は小さく採る方が均質で高密度な画像が得られる。しかし、PWMによる階調特性が十分でなく信号としてのパルス分割数に対して実際に対応する階調数が少ない場合は、 s の値を大きく採る方が高い階調性が得られるからである。

【0051】カラー印刷の場合、Cyanに図8、Magentaに図10(a)、Yellowに図10(b)、Blackに図10(c)の閾値パターンを割り付けると、比較的網点の重ねによるモアレの目立ちにくい再現画像が得られる。MagentaとCyanに割り付けるパターンは逆でも良い。

【0052】これらの基本閾値パターン K による拡張閾値パターン及び閾値配列の構成法は、図8に示した先の閾値配列27の構成方法とほぼ同様である。特にビットシフト量 s が異なる場合の例は、図11に図10(a)で $s=1$ に対応する拡張閾値パターンと簡略化閾値配列を、図12に図10(c)で $s=3$ に対応する拡張閾値パターンと簡略化閾値配列を示す。これらの図では、配置の特徴を見やすくするために、基本閾値パターンの閾値0に対応する拡張閾値パターン上の閾値を○で囲んで示す。図8の場合と同様に、これらの図の簡略化閾値配列42、45から閾値配列を得るには、図中矢印Aで示した位置で、列をシフトしながら簡略化閾値配列を反復すれば良い。

【0053】図13は、図3の切り上げ回路とほぼ同様のPWM分散効果が得られる階調処理装置9の他の実装例である。この実施例は、データを幾つかのbitごとに分割して処理を行うので、先の「切り上げ回路」及び「切り捨て回路」に対して「bit区分回路」と呼ぶ。このbit区分回路による処理の流れの概念を図14に示す。

【0054】この実施例では1 dotのPWM階調数を0～4の5値(PWM分割数4)とし、4 dot間でPWMを以下のようにして分散する。

【0055】また、通常画像に関するデータは8 bit単位で取り扱われるが、簡単な為に、閾値 n_c の上位2 bitをはじめから無視して6 bitとして扱う。もちろん下位2 bitのように他の位置の2 bitを無視する構成も可能である。下位2 bitを無視する場合には、以下の説明の閾値を2 bitシフト即ち4倍して読みかえれば良い。

【0056】まず、 γ 補正手段7で補正された8 bitの入力画素の階調値 n_i を、上位bitから順に4 bitをブロックインデックス b_i 、続く2 bitをPWMレベル値 N_p 、残り下位2 bitをローテーションインデックス k_i となるように入力画素の配線を分割する。また、ディザ回路10からロードされた閾値である6 bitの閾値 n_c を、上位bitから4 bitをブロックインデックス b_c 、下位2 bitをローテーションインデックス k_c なるように閾値の配線を分割する(図14ステップ111)。

【0057】比較回路50はブロックインデックス b_i と b_c

の大きさの比較により、PWMレベル値 N_p を、次の規則で修正する。 $b_i > b_c$ の場合(ステップ112)には強制的に $N_p = 4$ (ステップ113)とする。 $b_i < b_c$ の場合(ステップ114)には強制的に $N_p = 0$ (ステップ115)とする。 $b_i = b_c$ の場合には、さらに比較回路51によりローテーションインデックス k_i と k_c とを比較し(ステップ116)、 $k_i > k_c$ の場合のみ1をPWMレベル値 N_p に加算する(ステップ117)。それ以外の場合は、 N_p の修正は行わない。

【0058】このとき、 $b_i = b_c$ の場合の処理を切替えるために、図13の例では、比較回路50により出力の切り替えを行う。比較回路50は、 $b_i = b_c$ の真偽値と $b_i > b_c$ の真偽値を正論理で出力する。選択手段53は、 $b_i = b_c$ の真偽値を選択信号として、 $b_i = b_c$ の場合には、加算回路52の出力を選択し、 $b_i \neq b_c$ の場合には、 $b_i > b_c$ の真偽値を2 bitシフト(即ち4倍)した値を選択する。最後にPWMレベル補正回路21は、PWM出力値 N_p をPWMレベル値 p' に変換する(ステップ118)。

【0059】図15は、この実施例によるPWM出力値を表で示したものである。図15では、40種類の閾値を持つ図16の閾値パターン56のような閾値の組を想定している。

【0060】以上の説明は、PWM分割数4に対応した実装例だが、ほぼ同様の回路で、PWM分割数8に対応した回路も構成できる。この場合には、対応するbit区分回路(図13)のbit分割の仕方を図13の括弧で示したように変更する。即ち、入力画素の階調値 n_i は、上位bitから順に4 bitをブロックインデックス b_i 、続く3 bitをPWMレベル値 N_p 、残り下位1 bitをローテーションインデックス k_i となるように入力画素の配線を分割する。また、ディザ回路10からロードされた閾値である閾値 n_c は5 bitとし、上位bitから4 bitをブロックインデックス b_c 、下位1 bitをローテーションインデックス k_c なるように閾値の配線を分割する。

【0061】図16は、図13のbit区分回路に適した閾値パターンの構成方法である。PWM分割数4(2 bit)に対応する拡張閾値パターン56の構成方法は、図8の場合と同様で、基本閾値パターン55を K 、閾値間隔 $\Delta h = 4$ とし、 K から $K \times \Delta h$ 、 $K \times \Delta h + 1$ 、 $K \times \Delta h + 2$ 、 $K \times \Delta h + 3$ により生成される4つの閾値パターンにより構成されている。また、PWM分割数8(3 bit)に対応する拡張閾値パターン57の構成方法も図11と同様である。拡張閾値パターンから閾値配列、簡略化閾値配列が得られることも図8の場合と同様である。

【0062】閾値パターン56の場合、総階調数=(セル数)×(PWM分割数)+1=40×4+1=161であり、対応可能な入力階調値の範囲は $n_i = 0 \sim 160$ までの161階調である。従って、図15からも分かるように、160を越える入力階調値に対するPWM出力値は全て最大値4となるが、図18に示すように、階調処理装置9前段の γ 補正手段7の γ 補正値を総階調数 n_{\max} を越えない値に抑えることで容易に補正される。

【0063】図17は、各種の基本閾値パターンに適したPWM分割数と Δh の例を示す。bit区分回路の場合には、先の切り上げ回路や切り捨て回路の場合と異なって総階調数との関係は、

(総階調数) = (セル数) \times $\Delta h \times$ (PWM分割数) + 1
となる。

【0064】図13の階調処理装置におけるPWM分割数4の場合とPWM分割数8の場合との違いは、入力画素の階調値 n_i と閾値 n_c のbit分割の数(bit幅)が異なるのみである。従って、図19のように比較回路50及び51の前に分割回路58及び59をそれぞれ設け、選択信号56によりbit分割のbit幅を可変にすることで、PWM分割数を切り替え可能とする事が出来る。

【0065】図19に示した例では、各信号線P1~P5は、それぞれP1=P4=4bit、P2=3bit、P3=P5=2bitのbit幅を持つ。選択信号56は、各色面毎に予め図示しないレジスタに設定しておき、P1、P2、P3の分割数を決定するための信号である。この実施例においては、選択信号は0と1との二通り(1bit)とし、PWM分割数を8或いは4となるようにする。

【0066】選択信号56が0の場合は、分割回路59は入力画素の階調値 n_i の下位4bitの上位3bitをP2に、下位1bitをP3の上位1bitに分割する(P3の下位1bitは0)。また、分割回路58は8bitの閾値 n_c を最上位3bitを無視して中位4bitをP4に、下位1bitをP5に分割する(P5の下位1bitは0)。このように分割することにより、図13でPWM分割数8の場合と等価な回路となる。

【0067】また、選択信号56が1の場合は、分割回路59は入力画素の階調値 n_i の下位4bitの上位2bitをP2の上位2bitに(P2の下位1bitは0)、下位2bitをP3に分割し比較回路51に出力する。分割回路58は、8bitの閾値 n_c を最上位3bitを無視して中位4bitをP4に、下位2bitをP5に分割し比較回路51に出力する。選択信号56に入力された値が1の場合は加算回路52において比較回路51からの出力を2倍して(=1bitシフトさせて)P2に加算する。このようにすることにより図13でPWM分割数4の場合と等価な回路となる。

【0068】図20は、上記何れかの実施例の階調処理装置9を搭載したコントローラボード31を内蔵するカラーレーザプリンタ30の構成図を示す。コントローラボード31は、機構部と平行して、プリンタ底面に垂直に搭載されているため破線で示している。本発明の階調処理装置は、感光体ベルト32及びレーザ光学装置33を制御する水平同期信号及び垂直同期信号に同期して、実時間で入力画像信号を展開し、感光体ベルト上に静電潜像を形成する。

【0069】尚、上記の実施例においてはカラー印刷を例にとって説明したが、本願発明の階調処理装置は単色(モノクロ)の印刷にも適用できることは言うまでもない。また、本実施例では、PWMの分割数を16とするため

に4bitとしてPWMレベル補正回路21に入力しているが、PWMの分割数を他の値にすれば、その値に合わせ切り捨てるsbitのbit数も変化することになる。

【0070】

【発明の効果】本発明によれば、クラスタリングされたスクリーン角付き網点ディザと両立するPWMの分散処理が、小規模の回路構成により実現される。これにより、高解像度・高階調で安定な階調処理をASIC上に実装することが容易となる。

【図面の簡単な説明】

【図1】本発明を含むデータ処理の流れを示す図である。

【図2】本発明の階調処理装置(切り捨て回路)の例を示す図である。

【図3】本発明の階調処理装置(切り上げ回路)の例を示す図である。

【図4】PWMレベル補正の説明図である。

【図5】階調処理装置の動作フローを示す図である。

【図6】切り上げ回路による入出力対応例を示す図である。

【図7】切り捨て回路による入出力対応例を示す図である。

【図8】基本閾値パターンからの閾値配列の構成法を示す図である。

【図9】本発明の効果の説明図を示す図である。

【図10】その他のスクリーン角を実現する基本閾値パターン例を示す図である。

【図11】その他の基本閾値パターンからの簡略化閾値配列の構成例である。

【図12】その他の基本閾値パターンからの簡略化閾値配列の構成例である。

【図13】本発明の階調処理装置(bit区分回路)の例を示す図である。

【図14】bit区分回路による動作フローを示す図である。

【図15】bit区分回路による入出力対応例を示す図である。

【図16】bit区分回路に対応する拡張閾値配列の構成例を示す図である。

【図17】bit区分回路での各基本閾値パターンに対する総階調数の図である。

【図18】総階調数を上限にする γ 補正の例を示す図である。

【図19】bit区分を可変にするbit区分回路の例を示す図である。

【図20】本発明の階調処理装置を搭載したカラーレーザプリンタの例を示す図である。

【図21】人の眼の階調識別特性を示す図である。

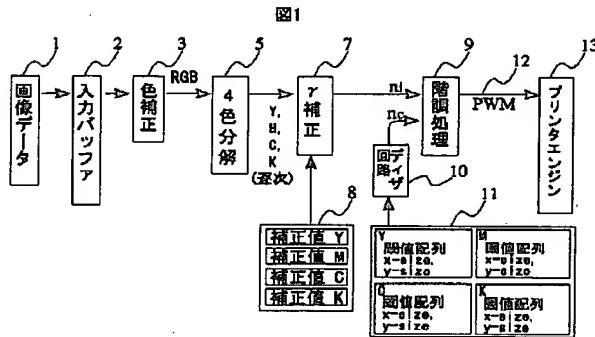
【符号の説明】

1…供給手段、2…紙葉類、4…分離手段、7…搬送手段、

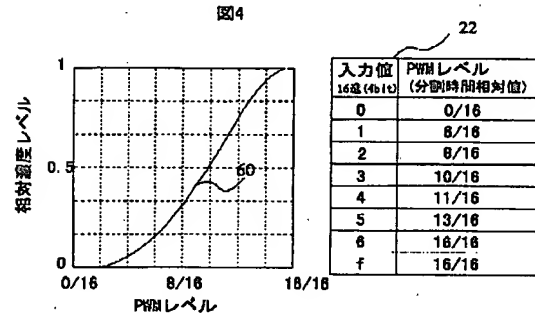
8…反転部、9…第一の読み取り部、90…第2の読み取り部、11…第一の集積手段、12…底板、S1～S12…区分領域、13…第一の振り分け手段、14…表示手段、15…宛先コード、16…第2の集積手段、17…第2の振り分け手段、18…厚さ検出手段、60…第一の振り分け制御部、61

…第2の振り分け制御部、62…第一の記憶部、63…順立手段、64…第2の記憶部、65…第3の記憶部、66…制御手段、67…分離手段制御手段、68…供給手段制御手段、69…表示制御手段、70…底板制御部、71…区分情報入力手段、72…表示手段。

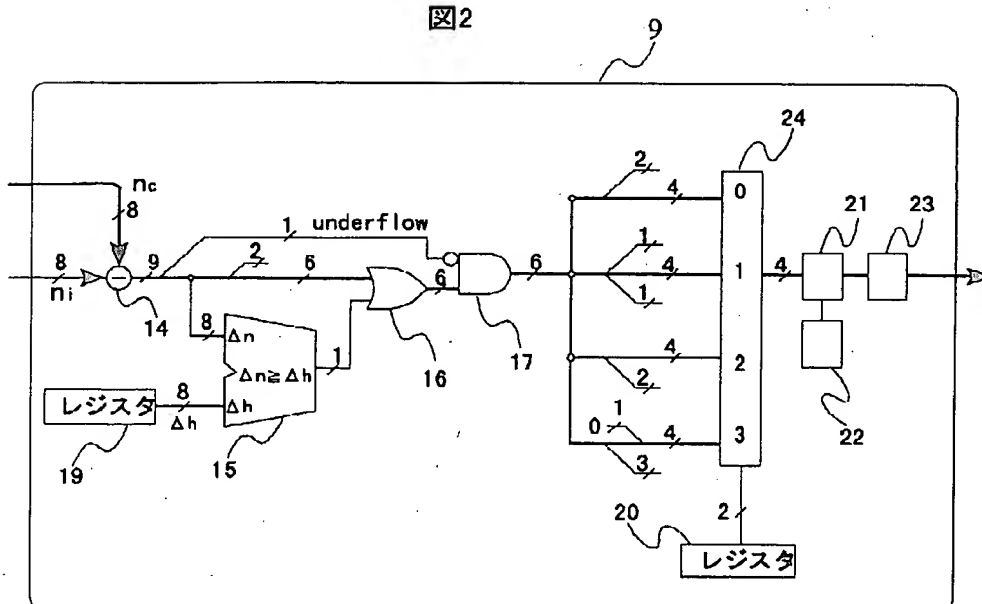
【図1】



【図4】



【図2】



【図18】

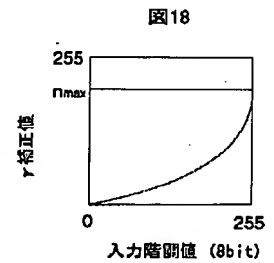
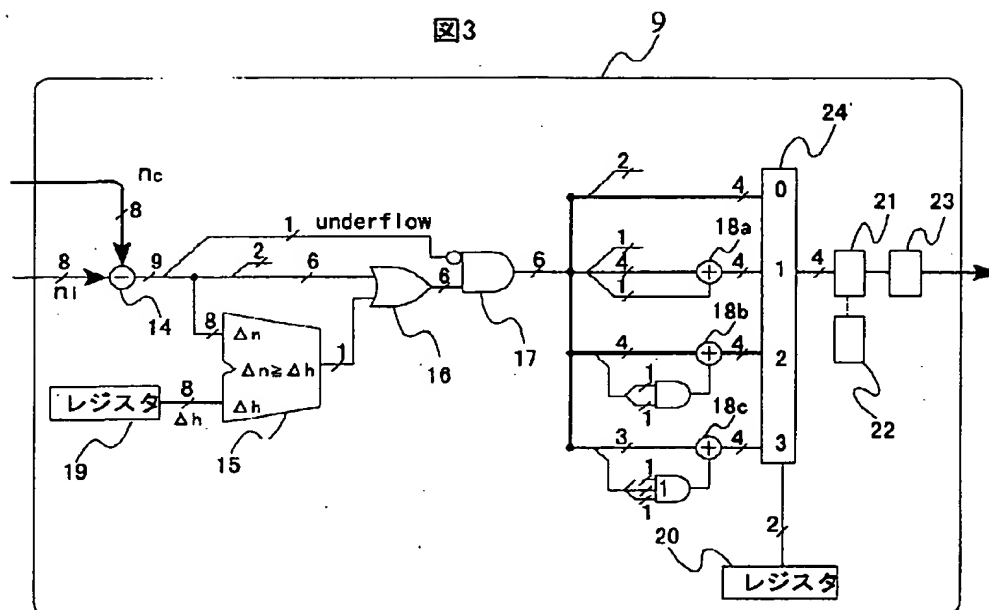
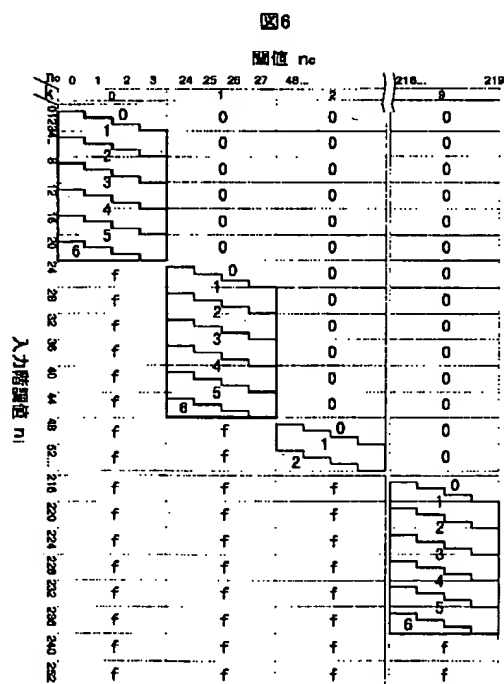
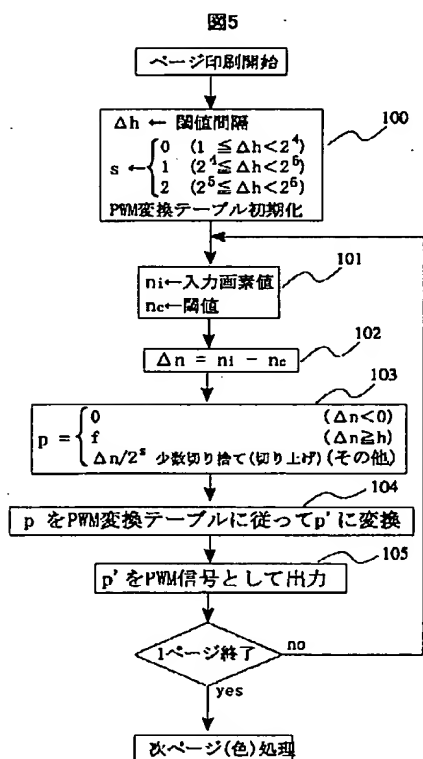


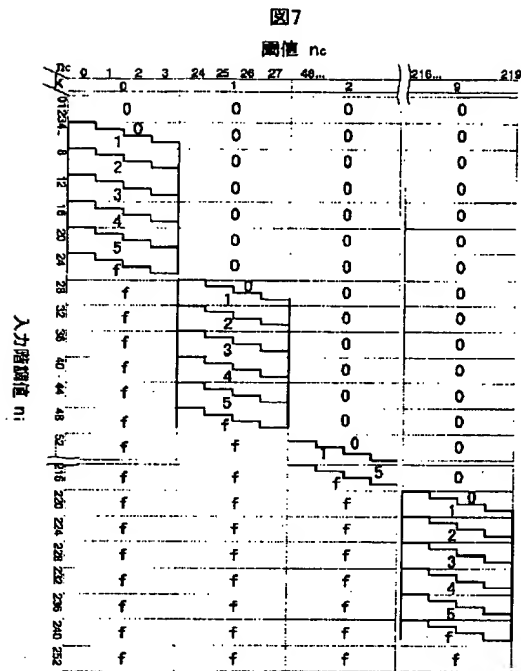
图3



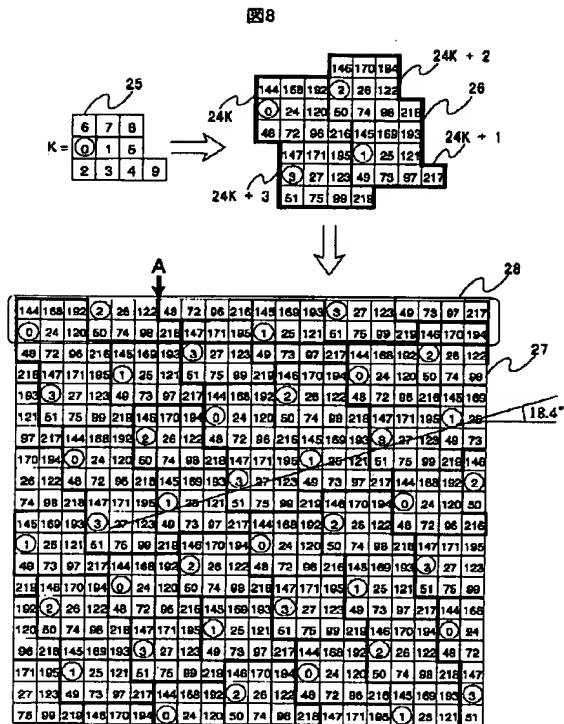
【图 6】



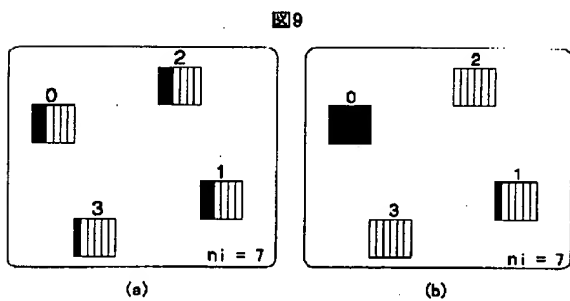
【図7】



【図8】



【図9】

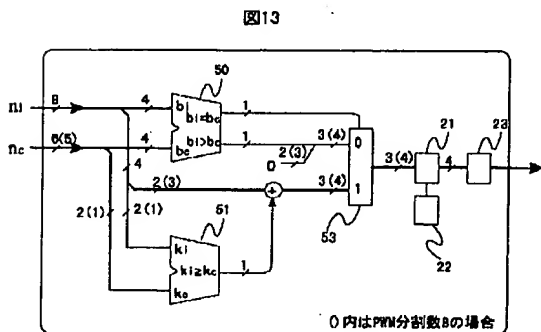


【図10】

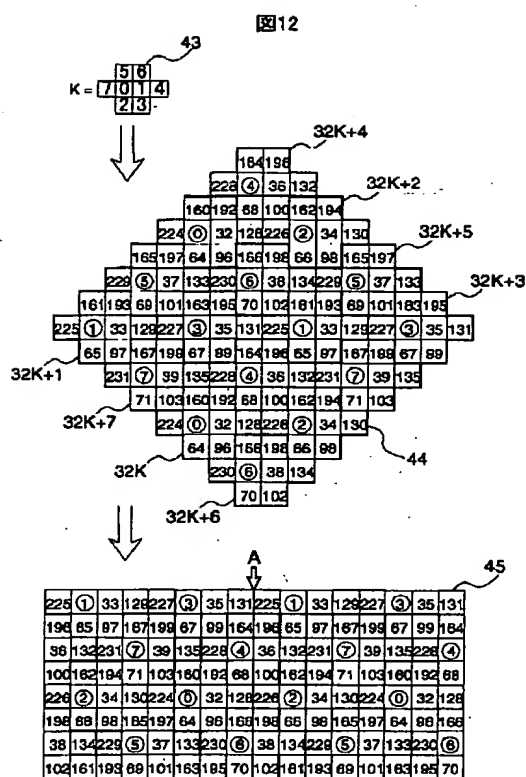
図10

基本階調パターン K	θ	セル数	Δh	s	PWM階数	総階調数
(a) $\begin{bmatrix} 6 & 7 & 8 & 9 \\ 0 & 1 & 5 \\ 2 & 3 & 4 \end{bmatrix}$	71.6°	10	24	1 2 3	12 6 3	241
(b) $\begin{bmatrix} 6 & 7 & 8 \\ 0 & 1 & 5 \\ 2 & 3 & 4 \end{bmatrix}$	0°	9	28	1 2	14 7	253
(c) $\begin{bmatrix} 5 & 6 \\ 7 & 0 & 1 & 4 \\ 2 & 3 \end{bmatrix}$	45°	8	32	1 2 3	16 8 4	257
(d) $\begin{bmatrix} 0 & 1 \\ 2 & 3 & 4 \end{bmatrix}$	28.5°	5	48	2	12	241
(e) $\begin{bmatrix} 6 & 7 & 8 & 9 \\ 0 & 1 & 5 & 0 \\ 2 & 3 & 4 & 1 & 6 & 8 \\ 2 & 3 & 4 & 5 & 7 & 9 \end{bmatrix}$	28.5°	20	12	0 1 2	12 6 3	241

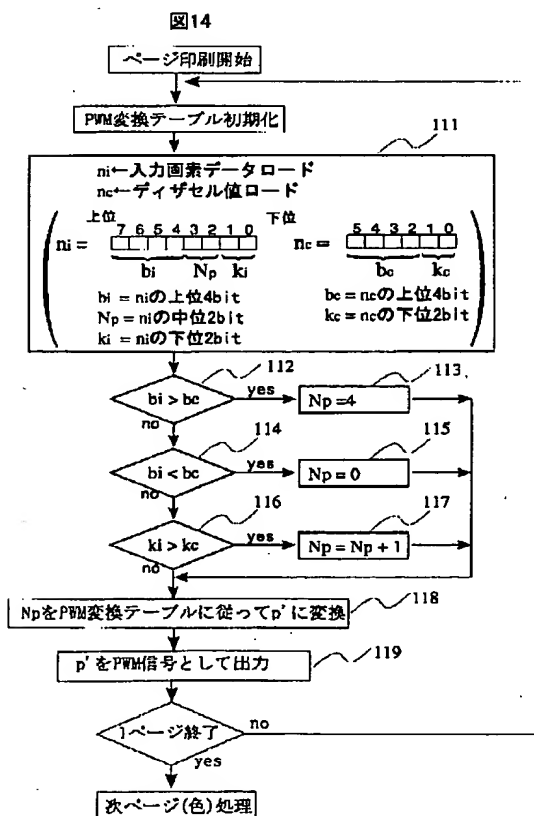
【図13】



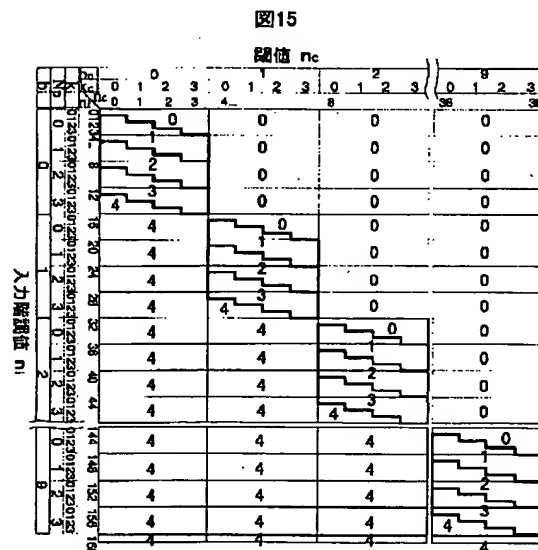
【图 12】



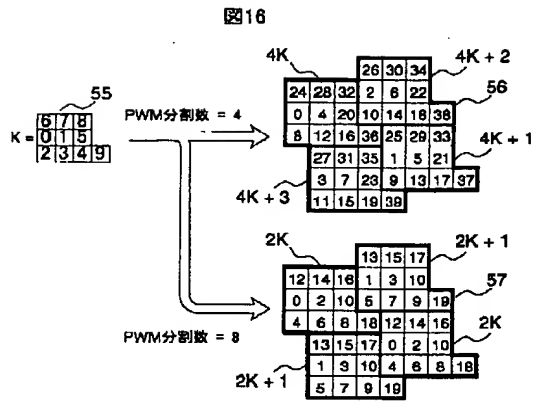
【图 14】



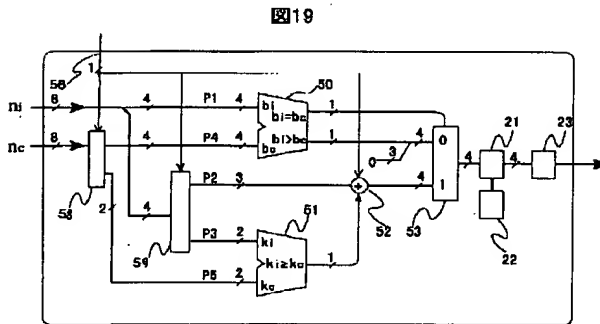
【図 15】



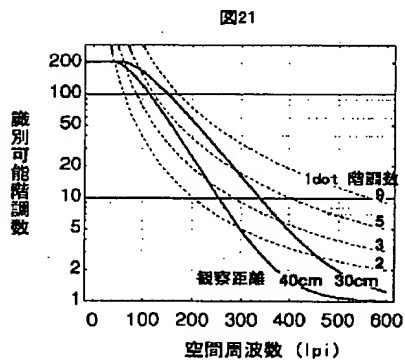
【図16】



【図19】



【図21】

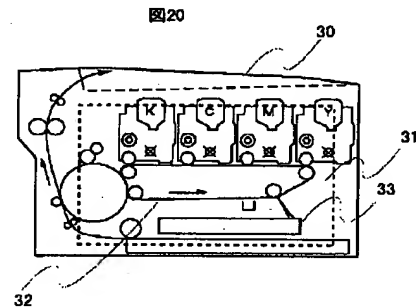


【図17】

図17

基本階調パターン	θ	セル数	Δh	PWM段数	総階調数 (lines)
(a)	18.4°	10	2	8	161
(b)	71.6°	10	2	8	161
(c)	0°	9	2	8	145
(d)	45°	8	4	4	129

【図20】



フロントページの続き

(72) 発明者 神田 昌幸
 神奈川県足柄上郡中井町境456番地 株式
 会社日立インフォメーションテクノロジー
 内

(72) 発明者 犬塚 達基
 茨城県日立市大みか町七丁目1番1号 株
 式会社日立製作所日立研究所内
 (72) 発明者 中村 敏明
 茨城県日立市大みか町七丁目1番1号 株
 式会社日立製作所日立研究所内

(72) 発明者 小野瀬 敦士
茨城県日立市大みか町七丁目 1 番 1 号 株
式会社日立製作所日立研究所内
(72) 発明者 吉野 英治
茨城県日立市東多賀町一丁目 1 番 1 号 株
式会社日立製作所電化機器事業部内

F ターム (参考) 2C262 AA05 AA24 AA27 BB03 BB06
BB12 BB19 BB44 BC01 BC17
2C362 CA03 CA09
5C077 LL17 LL18 MP08 NN04 NN08
NN17 PP15 PP20 PP33 PP38
PP47 PQ08 PQ12 PQ20 PQ22
PQ23 RR10 RR11 RR13 TT03

THIS PAGE BLANK (USPTO)